

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.: To Be Assigned  
Applicant: Shigeru Morimoto et al.  
Filed: September 30, 2003  
Title: A PRINTED CIRCUIT BOARD, A BUILDUP SUBSTRATE, A METHOD  
OF MANUFACTURING PRINTED CIRCUIT BOARD, AND AN  
ELECTRONIC DEVICE (AS AMENDED)

TC/A.U.: To Be Assigned  
Examiner: To Be Assigned  
Confirmation No.: To Be Assigned  
Docket No.: MTS-3463US

**CLAIM TO RIGHT OF PRIORITY*****Mail Stop Patent Application***

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R :

Pursuant to 35 U.S.C. § 119, Applicants' claim to the benefit of filing of prior Japanese Patent Application No. 2002-287850, filed September 30, 2002, as stated in the inventors' Declaration, is hereby confirmed.

A certified copy of the above-referenced application is enclosed.

Respectfully submitted,

  
Allan Ratner, Reg. No. 19,717  
Attorney for Applicants

AR/fp  
Enclosures: (1) Certified Copy  
Dated: September 30, 2003

P.O. Box 980  
Valley Forge, PA 19482  
(610) 407-0700

The Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. **18-0350** of any fees associated with this communication.

**EXPRESS MAIL: Mailing Label Number: EV 351 885 295 US**  
**Date of Deposit: September 30, 2003**

I hereby certify that this paper and fee are being deposited, under 37 C.F.R. § 1.10 and with sufficient postage, using the "Express Mail Post Office to Addressee" service of the United States Postal Service on the date indicated above and that the deposit is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
KATHLEEN LIBBY

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-287850

[ST.10/C]:

[JP2002-287850]

出 願 人

Applicant(s):

松下電器産業株式会社

2003年 6月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3048145

【書類名】 特許願

【整理番号】 2022040255

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 3/46

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
社内

    【氏名】 森本 滋

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
社内

    【氏名】 足立 寿史

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
社内

    【氏名】 中谷 俊文

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
社内

    【氏名】 滝波 浩二

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100092794

    【弁理士】

    【氏名又は名称】 松田 正道

    【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プリント配線基板、ビルドアップ基板、プリント配線基板の製造方法

【特許請求の範囲】

【請求項 1】 多層基板と、

前記多層基板を貫通するビアホールと、

前記多層基板の表層に配線され、前記ビアホールの一方向の先端部である第 1 の先端部に接続された表層配線と、

前記多層基板の内部に形成され、前記ビアホールの導電部のうち、上下の先端部以外の部分に接続された少なくとも 1 つの内層配線と、

前記ビアホールの導電部のうち、前記第 1 の先端部の反対側の、前記表層配線が接続されていない第 2 の先端部に接続された導電部材と、を備え、

前記導電部材は、前記内層配線と前記ビアホールの導電部との接続点のうち、前記第 2 の先端部に最も近い第 1 の接続点から前記導電部材側を見た、所定の周波数におけるインピーダンスの値が、所定の値より大きくなるような電気長を有し、

前記所定の値は、前記導電部材が存在しない場合の、前記第 1 の接続点から前記第 2 の先端部側を見た、所定の周波数におけるインピーダンスの値である、プリント配線基板。

【請求項 2】 前記第 1 の接続点から前記第 2 の先端部までの電気長と、前記導電部材の電気長との合計が、前記所定の周波数に対応する波長の  $n/2$  倍 ( $n$  は自然数) であり、前記導電部材の先端が開放されている、請求項 1 に記載のプリント配線基板。

【請求項 3】 前記第 1 の接続点から前記第 2 の先端部までの電気長と、前記導電部材の電気長との合計が、前記所定の周波数に対応する波長の  $(2n-1)/4$  倍 ( $n$  は自然数) であり、前記導電部材の先端が接地されている、請求項 1 に記載のプリント配線基板。

【請求項 4】 前記導電部材の一部がチップインダクタにより形成されている、請求項 1 ～ 3 のいずれかに記載のプリント配線基板。

【請求項 5】 前記導電部材の形状が実質上扇型である、請求項 1～3 のいずれかに記載のプリント配線基板。

【請求項 6】 前記導電部材が、前記第 2 の先端部に接続される代わりに、前記第 1 の接続点から前記第 2 の先端部までの間の所定の層間に形成され、前記ビアホール of 導電部に接続される、請求項 1 に記載のプリント配線基板。

【請求項 7】 前記表層配線が差動信号線であり、前記ビアホールはそれぞれの差動信号線に接続されて形成され、前記導電部材が前記各ビアホールの第 2 の先端部にそれぞれ接続され、前記各導電部材の先端が接地電極に短絡される代わりに、前記各導電部材の先端が互いに接続される、請求項 3 に記載のプリント配線基板。

【請求項 8】 多層基板と、  
前記多層基板を貫通するビアホールと、  
前記多層基板の表層に配線され、前記ビアホールの方の先端部である第 1 の先端部に接続された表層配線と、  
前記多層基板の内部に形成され、前記ビアホールの導電部のうち、上下の先端部以外の部分に接続された少なくとも 1 つの内層配線と、

抵抗およびコンデンサの直列回路と、を備え、  
前記直列回路は、前記ビアホールの導電部のうち、前記第 1 の先端部の反対側の、前記表層配線が接続されていない第 2 の先端部と、前記内層配線と前記ビアホールの導電部との接続点のうち前記第 2 の先端部に最も近い第 1 の接続点と、の間に並列に接続される、プリント配線基板。

【請求項 9】 前記抵抗は、前記第 2 の先端部に接続されたチップ抵抗であり、  
前記コンデンサは、電極として前記内層配線もしくは内層パターンと、ランドと、誘電体として前記多層基板の一部と、から形成され、

前記内層配線もしくは内層パターンは、前記第 1 の接続点に接続され、前記ランドは、前記第 2 の先端部が存在する面に形成されて、前記チップ抵抗に接続され、前記多層基板の一部は、前記内層配線もしくは前記内層パターンと前記ランドとの間に挟まれて形成される、請求項 8 に記載のプリント配線基板。

【請求項 1 0】 請求項 1～9 のいずれかに記載のプリント配線基板と、  
前記プリント配線基板上に形成された少なくとも一層の基板層を有する、ビル  
ドアップ基板。

【請求項 1 1】 多層基板を貫通し、表層配線がその導電部の第 1 の先端部に  
接続されるビアホール、前記第 1 の先端部とは反対側の、前記表層配線が接続  
されていない、第 2 の先端部に導電部材を接続し、

前記ビアホールの導電部のうち、前記第 1 の先端部および前記第 2 の先端部以  
外の部分に接続され、前記多層基板の内部に形成された少なくとも 1 つの内層配  
線と前記ビアホールの導電部との接続点のうち、前記第 2 の先端部に最も近い第  
1 の接続点から前記導電部材側を見た、所定の周波数におけるインピーダンスの  
値が、所定の値よりも高くなるように前記導電部材の電気長を決定し、

前記所定の値は、前記導電部材が存在しない場合の、前記第 1 の接続点から前  
第 2 の先端部側を見た、前記所定の周波数におけるインピーダンスの値である、  
プリント配線基板の製造方法。

【請求項 1 2】 多層基板を貫通し、表層配線がその導電部の第 1 の先端部に  
接続されるビアホール、前記第 1 の先端部とは反対側の、前記表層配線が接続  
されていない第 2 の先端部と、前記ビアホールの導電部のうち前記第 1 の先端部  
および前第 2 の先端部以外の部分に接続され前記多層基板の内部に形成された少  
なくとも 1 つの内層配線と前記ビアホールの導電部との接続点のうち、前記第 2  
の先端部に最も近い第 1 の接続点と、の間に並列に、抵抗とコンデンサの直列回  
路を接続する、プリント配線基板の製造方法。

【請求項 1 3】 請求項 1～9 のいずれかに記載のプリント配線基板と、前記  
プリント配線基板の表面または内部に設置された電子部品と、を備えた電子機器  
。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、プリント配線基板、その製造方法、プ  
リント配線基板を利用したビルドアップ基板、プリント配線基板を利用した電子  
機器に関する。

## 【0002】

【従来の技術】 近年情報機器において、GHz程度的高速信号を多層基板上で伝送する必要が出てきている。例えば従来技術として、電源－グラウンド間の電圧変動を抑制し、不要電磁波の放射や外部電磁界の侵入による機器の誤動作を効率良く抑制する多層プリント配線基板があった（例えば特許文献1参照。）。このような多層基板としてはIVH（Inner Via Hole）基板がある。IVH基板は、任意の層間のみにビアホールを形成でき、スペースを有効に活用できるという長所がある一方、製作に手間がかかり高価であるという欠点を有する。

## 【0003】

そこで、低価格の多層基板の材料として、ガラスエポキシ系樹脂が使用されることが多い。ガラスエポキシ系樹脂が材料として使用された多層基板の表層および内層の線路を接続するためには、多層基板を貫通するビアホールが一般的に使用されている。図15は、そのような多層基板1001に、多層基板1001を貫通するビアホール1003が形成されている様子を示す。ビアホール1003の内側は、導電層（図示せず）で被われている。多層基板1001の図1に示す表側である表層には、表層配線1002が設置され、表層配線1002の一部は、ビアホール1003の一方の先端部である先端部1006に接続されている。多層基板1001の内部には、内層配線1004が、層間に設置され、ビアホール1003の導電部のうち、上下の先端部以外の部分である接続点1008に接続されている。そして、接続点1008から、ビアホール1003の導電部のうち先端部1006に対向する先端部1007までの部分には、何も接続されていない。

## 【0004】

## 【特許文献1】

特開平10-190237号公報

## 【0005】

【発明が解決しようとする課題】 しかしながら、ガラスエポキシ系樹脂が使用された多層基板の表層の線路から裏面まで貫通するビアホールが形成された構



造では、ビアホール1003の不要な先端部が共振器を形成し、この共振器の共振により所望の周波数で電力損失が発生していた。

#### 【0006】

図15に示す例では、ビアホール1003の導電部のうち、先端部1006から接続点1008までの部分は、表層配線1002に伝達されている信号を内層配線1004に伝達するために有効に作用している必要部であるが、ビアホール1003の導電部のうち、接続点1008から先端部1007の部分は、本来信号を伝達するためには有効に作用していない不要部分1005である。

#### 【0007】

図15に示す多層基板を等価回路で表現すると図17に示すようになる。表層配線1002は、線路D1で表される。内層配線1004は、線路D3で表される。ビアホール1003の導電部のうち、必要部は、線路D2で表現され、ビアホール1003の導電部のうち、不要部1005は、線路D4で表現される。

#### 【0008】

上記のように、ビアホール1003の不要部1005は、オープンスタブによる共振器を形成し、共振を引き起こしていた。図16は、不要部1005の電気長の変化と、表層配線1002から内層配線1004へ伝達される信号の減衰量の関係を示す。同図からわかるように、不要部1005の電気長が、所望の周波数において、その波長の $1/4$ に対応する電気長になると、減衰量が最も大きくなってしまう。

#### 【0009】

本発明は、上記の課題を鑑み、所望の周波数において、その伝送損失を抑制することができるプリント配線基板、ビルドアップ基板、プリント配線基板の製造方法を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

第1の本発明は、多層基板と、

前記多層基板を貫通するビアホールと、

前記多層基板の表層に配線され、前記ビアホールの一方向の先端部である第1の

先端部に接続された表層配線と、

前記多層基板の内部に形成され、前記ビアホールの導電部のうち、上下の先端部以外の部分に接続された少なくとも1つの内層配線と、

前記ビアホール導電部のうち、前記第1の先端部の反対側の、前記表層配線が接続されていない第2の先端部に接続された導電部材と、を備え、

前記導電部材は、前記内層配線と前記ビアホール導電部との接続点のうち、前記第2の先端部に最も近い第1の接続点から前記導電部材側を見た、所定の周波数におけるインピーダンスの値が、所定の値より大きくなるような電気長を有し、

前記所定の値は、前記導電部材が存在しない場合の、前記第1の接続点から前記第2の先端部側を見た、所定の周波数におけるインピーダンスの値である、プリント配線基板である。

#### 【0011】

第2の本発明は、前記第1の接続点から前記第2の先端部までの電気長と、前記導電部材の電気長との合計が、前記所定の周波数に対応する波長の $n/2$ 倍（ $n$ は自然数）であり、前記導電部材の先端が開放されている、第1の本発明のプリント配線基板である。

#### 【0012】

第3の本発明は、前記第1の接続点から前記第2の先端部までの電気長と、前記導電部材の電気長との合計が、前記所定の周波数に対応する波長の $(2n-1)/4$ 倍（ $n$ は自然数）であり、前記導電部材の先端が接地されている、第1の本発明のプリント配線基板である。

#### 【0013】

第4の本発明は、前記導電部材の一部がチップインダクタにより形成されている、第1の本発明のプリント配線基板である。

#### 【0014】

第5の本発明は、前記導電部材の形状が実質上扇型である、第1～3の本発明のいずれかのプリント配線基板である。

#### 【0015】

第 6 の本発明は、前記導電部材が、前記第 2 の先端部に接続される代わりに、前記第 1 の接続点から前記第 2 の先端部までの間の所定の層間に形成され、前記ビアホールは導電部に接続される、第 1 の本発明のプリント配線基板である。

【 0 0 1 6 】

第 7 の本発明は、前記表層配線が差動信号線であり、前記ビアホールはそれぞれの差動信号線に接続されて形成され、前記導電部材が前記各ビアホールの第 2 の先端部にそれぞれ接続され、前記各導電部材の先端が接地電極に短絡される代わりに、前記各導電部材の先端が互いに接続される、第 3 の本発明のプリント配線基板である。

【 0 0 1 7 】

第 8 の本発明は、多層基板と、  
前記多層基板を貫通するビアホールと、  
前記多層基板の表層に配線され、前記ビアホールの方の先端部である第 1 の先端部に接続された表層配線と、  
前記多層基板の内部に形成され、前記ビアホールの導電部のうち、上下の先端部以外の部分に接続された少なくとも 1 つの内層配線と、  
抵抗およびコンデンサの直列回路と、を備え、  
前記直列回路は、前記ビアホールの導電部のうち、前記第 1 の先端部の反対側の、前記表層配線が接続されていない第 2 の先端部と、前記内層配線と前記ビアホールの導電部との接続点のうち前記第 2 の先端部に最も近い第 1 の接続点と、の間に並列に接続される、プリント配線基板である。

【 0 0 1 8 】

第 9 の本発明は、前記抵抗は、前記第 2 の先端部に接続されたチップ抵抗であり、  
前記コンデンサは、電極として前記内層配線もしくは内層パターンと、ランドと、誘電体として前記多層基板の一部と、から形成され、  
前記内層配線もしくは内層パターンは、前記第 1 の接続点に接続され、前記ランドは、前記第 2 の先端部が存在する面に形成されて、前記チップ抵抗に接続され、前記多層基板の一部は、前記内層配線もしくは前記内層パターンと前記ラン

ドとの間に挟まれて形成される、第 8 の本発明のプリント配線基板である。

【 0 0 1 9 】

第 1 0 の本発明は、第 1 ～ 9 のいずれかの本発明のプリント配線基板と、  
前記プリント配線基板上に形成された少なくとも一層の基板層を有する、ビル  
ドアップ基板である。

【 0 0 2 0 】

第 1 1 の本発明は、多層基板を貫通し、表層配線がその導電部の第 1 の先端部  
に接続されるビアホール、前記第 1 の先端部とは反対側の、前記表層配線が接  
続されていない、第 2 の先端部に導電部材を接続し、

前記ビアホールの導電部のうち、前記第 1 の先端部および前記第 2 の先端部以  
外の部分に接続され、前記多層基板の内部に形成された少なくとも 1 つの内層配  
線と前記ビアホールの導電部との接続点のうち、前記第 2 の先端部に最も近い第  
1 の接続点から前記導電部材側を見た、所定の周波数におけるインピーダンスの  
値が、所定の値よりも高くなるように前記導電部材の電気長を決定し、

前記所定の値は、前記導電部材が存在しない場合の、前記第 1 の接続点から前  
第 2 の先端部側を見た、前記所定の周波数におけるインピーダンスの値である、  
プリント配線基板の製造方法である。

【 0 0 2 1 】

第 1 2 の本発明は、多層基板を貫通し、表層配線がその導電部の第 1 の先端部  
に接続されるビアホール、前記第 1 の先端部とは反対側の、前記表層配線が接  
続されていない第 2 の先端部と、前記ビアホールの導電部のうち前記第 1 の先端  
部および前第 2 の先端部以外の部分に接続され前記多層基板の内部に形成された  
少なくとも 1 つの内層配線と前記ビアホールの導電部との接続点のうち、前記第  
2 の先端部に最も近い第 1 の接続点と、の間に並列に、抵抗とコンデンサの直列  
回路を接続する、プリント配線基板の製造方法である。

【 0 0 2 2 】

第 1 3 の本発明は、第 1 ～ 9 のいずれかの本発明のプリント配線基板と、前記  
プリント配線基板の表面または内部に設置された電子部品と、を備えた電子機器  
である。

【0023】

【発明の実施の形態】

(実施の形態1)

図1に本発明の実施の形態1のプリント配線基板の断面図を示す。

【0024】

最初に実施の形態1に記載のプリント配線基板の構成について説明する。図1に記載のプリント配線基板は、多層基板1としてガラスエポキシ基板が使用され、多層基板1を貫通するビアホール3が形成されている。ビアホール3の内層は導電層(図示せず)で被われている。多層基板1の図1に示す表側である表層には、表層配線2が設置され、表層配線2の一部は、ビアホール3の一方の先端部である、本発明の第1の先端部の一例である先端部6に接続されている。多層基板1の内部には、内層配線4が、層間に設置され、ビアホール3の導電部のうち、上下の先端部以外の部分である、本発明の第1の接続点の一例である接続点8に接続されている。

【0025】

そして、ビアホール3の導電部のうち、先端部6の反対側の(図1に示す裏側の)、表層配線2が接続されていない、本発明の第2の先端部の一例である先端部7に、電気長 $L_2$ の導電部材9が接続され、多層基板1の裏面に沿って配置されている。図1(b)は、図1(a)に示すプリント配線基板を裏面から見た平面図を示す。このように導電部材9は、その先端が何にも接続されない状態でプリント配線基板の裏面に設置される。

【0026】

ここで、ビアホール3の導電部のうち、先端部6から接続点8までを、本来ビアホール3の動作のために必要な部分である、第1部分と定義し、接続点8から先端部7までを、本来ビアホール3の動作のために不要な部分である、第2部分と定義する。図1(a)等において、参照符号5は上記の第2部分を示す。第2部分の電気長を $L_1$ とすると、所望の周波数に対応する波長 $\lambda$ に対して、

【0027】

【数1】

$$L_1 + L_2 = n\lambda / 2 \quad (n \text{ は自然数})$$

となるように、導電部材 9 の電気長  $L_2$  が決定される。

#### 【0028】

次に、本実施の形態のプリント配線基板の動作について説明する。本実施の形態のプリント配線基板の動作の説明の前にオープスタブの動作原理を説明する。

#### 【0029】

図 2 は、オープスタブ 10 の動作原理を説明する図である。図 2 (c) は、所定の波長  $\lambda$  の信号において、図 2 (b) の各点から開放端側 11 を見たインピーダンスを示す図である。オープスタブ 10 において、開放端 11 から  $\lambda / 2$  離れた A 点から開放端側 11 を見たインピーダンスは、実質無限大（最大）である。また、図 2 (a) に示すように A 点における信号の電圧も最大となる。すなわち、オープスタブ 10 において、開放端 11 から  $\lambda / 2$  離れた A 点でオープン（開放）しているのと同様の状態となる。また、開放端から  $n\lambda / 2$  ( $n \geq 2$  の自然数) 離れた点でもオープン状態となる。

#### 【0030】

従って、ビアホール 3 および導電部材 9 をオープスタブと見れば、(数 1) の条件が満たされた場合、接続点 8 から先端部 7 側を見た所定の周波数におけるインピーダンスは無限大である。従って所定の周波数において (数 1) が満たされている限りビアホール 3 は、所定の周波数 ( $1/\lambda$ ) で表層配線 2 を内層配線 4 に接続する作用をするのみで、第 2 部分 5 は存在しないことと同様であり、波長  $\lambda$  の電気信号は、第 2 部分 5 および導電部材 9 による影響を受けない。

#### 【0031】

図 3 は、図 1 に示すプリント配線基板の等価回路を示す。図 3 に示す回路は、線路 D 4 の端部に線路 D 5 が接続された構成である。図 3 に示す回路において、上記の (数 1) が満たされていれば、波長  $\lambda$  の電気信号は、D 4 および D 5 の影響を受けない。

#### 【0032】

以上のように本実施の形態のプリント配線基板によれば、ガラスエポキシ基板

を用いても、所望の周波数において、ビアホール 3 の第 2 部分 5 の共振に起因する伝送損失が抑制されたプリント配線基板を実現することができる。

### 【0033】

なお、上記は、ビアホール 3 の第 2 部分 5 および導電部材 9 がオープンスタブとして作用する場合の例で説明したが、ビアホール 3 の第 2 部分 5 および導電部材 9 がショートスタブとして作用する場合も考えられる。図 4 は、ショートスタブ 1 2 の動作原理を説明する図である。図 4 (c) は、所定の波長  $\lambda$  の信号において、図 4 (b) の各点から短絡端側 1 3 を見たインピーダンスを示す図である。例えば、短絡端 1 3 から  $\lambda/4$  離れた B 点では、B 点から開放端 1 3 側を見たインピーダンスは、実質無限大である (図 4 (c))。また、図 4 (a) に示すように B 点における信号の電圧は最大となる。すなわち、短絡端 1 3 から  $\lambda/4$  離れた点では、所定の周波数 ( $1/\lambda$ ) においては、オープン (開放) していると同様の状態となる。また、短絡端 1 3 から  $(2n-1)/4$  ( $n$  は 2 以上の自然数) 離れた点でも、所定の周波数においては、オープン状態となる。

### 【0034】

従って、ビアホール 3 および導電部材 9 をショートスタブと見れば、

### 【0035】

### 【数 2】

$$L_1 + L_2 = (2n-1)/4 \quad (n \text{ は自然数})$$

の条件が満たされた場合、接続点 8 から先端部 7 側を見た所定の周波数におけるインピーダンスは無限大である。すなわち、導電部材 9 の電気長が、接続点 8 から導電部材 9 側を見た、波長  $\lambda$  に対応する所定の周波数におけるインピーダンスが最大となるように決定されれば、ビアホール 3 は、所定の波長  $\lambda$  の電気信号にとって、表層配線 2 を内層配線 4 に接続する作用をするのみで、ビアホール 3 の導電部のうち接続点 8 から先端部 7、および導電部材 9 の影響を受けない。図 1 (c) に、ビアホール 3 の第 2 部分 5 および導電部材 9 がショートスタブとして作用する場合の、プリント配線基板を裏面から見た平面図を示す。このように導電部材 9 は、その先端が本発明の接地電極の一例であるグラウンド電極 1 4 に接続されている状態でプリント配線基板の裏面に設置されている。

## 【0036】

また、以上までの説明において、導電部材9の一部をチップインダクタで構成してもよく、その場合は、本実施の形態のプリント配線基板の裏面に配置される導電部材9の全長を短くすることができる。図5(a)は、チップインダクタ15が設置された場合の本実施の形態のプリント配線基板の断面を示し、図5(b)は、その裏面からの平面図である。このように導電部材9全体の電気長は $L_2$ に保ちながら導電部材9の物理的長さを短縮することができる。なお、オープンスタブの場合と同様に、導電部材9がショートスタブの場合でも、チップインダクタ15を使用することにより、同様に導電部材9の物理的長さを短縮することができる。

## 【0037】

また、導電部材9は、線路状のものに限らず、例えば扇形状であってもよい。導電部材9が扇型に形成された場合の本実施の形態のプリント配線基板の裏面からの平面図を図6に示す。この場合、扇型の導電部材9の半径（すなわちビアホール3との接続部から扇型の弧状部までの距離）は、 $L_2$ となるように形成される。このように導電部材9の形状を実質上扇型にすることにより、図2(c)に示す、 $\lambda/2$ 付近の所定のインピーダンスを越える周波数範囲 $\alpha$ を広くすることができる。すなわち、 $\lambda/2$ を中心としてより広い周波数範囲で本実施の形態のプリント配線基板を実現することができる。

## 【0038】

また、以上の説明では、導電部材9は、多層基板1の裏面の表面に沿って配置されているとしてきたが、導電部材9は、多層基板1の裏面の近傍に配置されていてもよい。図7は、導電部材9が多層基板1の裏面の表面ではなく、裏面の近傍の層間に配置されている場合のプリント配線基板の断面を示す。この場合、導電部材9は、ビアホール3の導電部のうち、先端部7の近傍の接続点16に接続されている。そして、ビアホール3の導電部のうち接続点8から接続点16までの電気長 $L_1$ と導電部材9の電気長 $L_2$ との合計が、オープンスタブの場合は、(数1)を満たすように、ショートスタブの場合は、(数2)を満たすように形成される。このようにすれば上記と同様の効果を得ることができる。



## 【 0 0 3 9 】

さらに、導電部材 9 は、多層基板 1 の裏面の近傍に配置されていなくても、接続点 8 と先端部 7 の間に接続される構成であってもよい（図 7（b）参照）。すなわち、導電部材 9 が、先端部 7 に接続される代わりに、接続点 8 から先端部 7 までの所定の層間に形成され、ビアホール 3 の導電部に接続される構成であってもよい。その場合も上記と同様の効果を得ることができる。

## 【 0 0 4 0 】

また、以上の説明では、導電部材 9 は、その電気長（ $L_2$ ）が、ビアホール 3 の第 2 部分 5 の電気長（ $L_1$ ）との合計値が、（数 1）、または（数 2）の条件を満たすように決定される、としてきた。すなわち、導電部材 9 の電気長が、接続点 8 から導電部材 9 側を見た、波長  $\lambda$  に対応する所定の周波数におけるインピーダンスが最大となるように決定される、としてきた。しかし、電気長  $L_2$  は、接続点 8 から見た、導電部材 9 側を見た、所定の周波数におけるインピーダンスの値が、所定の値よりも大きくなるようなものであってもよい。

## 【 0 0 4 1 】

さらに、その場合、所定の値とは、導電部材 9 が存在しない場合の、接続点 8 から先端部 7 側を見たインピーダンスであってもよい。このような場合でも上記と同様の効果を得ることができる。

## 【 0 0 4 2 】

また、以上までの説明のプリント配線基板の表面または裏面に少なくとも 1 層の樹脂層で形成された基板 1 7 が形成されビルドアップ基板が構成される場合も考えられる。図 8 は、そのようなビルドアップ基板の断面を示す。図 8 に示すビルドアップ基板は、多層基板 1 の表面および裏面に複数の樹脂層で形成された基板 1 7 が積層されている。基板 1 7 には、内層配線 1 9 およびビアホール 1 8 が形成され、多層基板 1 の表面または裏面上に形成された表層配線 2 と接続されている。

## 【 0 0 4 3 】

また、以上の説明においては、導電部材 9 がショートスタブタイプであるときは、導電部材 9 が、グラウンド電極 1 4 に接続される、としてきたが、次のよう

な場合も考えられる。

【0044】

図9(a)は、ビアホール3a、3bに、表層配線として差動信号線が接続された場合のショートスタブタイプのプリント配線基板の、内部斜視図を示す。また、図9(b)は、図9(a)に示すプリント配線基板を裏面側から見た平面図を示す。ビアホール3a、3bの先端部6a、6bには、表層配線2a、2bが接続され、表層配線2a、2bを介して差動信号が入力される。すなわち、表層配線2aに入力される信号の位相と、表層配線2bに入力される信号の位相とが互いに逆位相となるように、表層配線2aおよび表層配線2bに差動信号が入力される。そしてビアホール3a、3bの第2部分5a、5bの電気長(L1)と、ビアホール3a、3bの先端部7a、7bに接続された導電部材9a、9bの電気長(L2)の合計は、それぞれ(数2)を満たすように構成される。そして、導電部材9aおよび9bは、接続部20において互いに短絡されている。このような構成のプリント配線基板において、差動信号を入力すると、接続部20は仮想接地され、第2部分5aおよび導電部材9aと、第2部分5bおよび導電部材9bは、それぞれグラウンド電極14に接続されている状態と等価となりショートスタブとして動作する。従って、図9に示すプリント配線基板によれば、別個にグラウンド電極を必要とすることなく、コンパクトな形状でショートスタブタイプのプリント配線基板を実現することができる。

【0045】

また、以上までの説明において、多層基板1内に存在する1つの内層配線4がビアホール3に接続されている、としてきたが、内層配線4が多数存在し、それぞれがビアホール3に接続される場合は、内層配線4とビアホール3の導電部との接続点のうち、先端部7に最も近い接続点を接続点8とすればよく、その場合も上記と同様の効果を得ることができる。

【0046】

また、多層基板1を貫通し、表層配線2がその導電部の先端部6に接続されるビアホール3の、先端部6とは反対側の、表層配線2が接続されていない、先端部7に導電部材9を接続し、ビアホール3の導電部のうち、先端部6および先端

部 7 以外の部分に接続され、多層基板 1 の内部に形成された少なくとも 1 つの内層配線 4 とビアホール 3 の導電部との接続点のうち、先端部 7 に最も近い接続点 8 から導電部材 9 側を見た、所定の周波数におけるインピーダンスの値が、所定の値よりも高くなるように導電部材 9 の電気長を決定し、上記所定の値は、導電部材 9 が存在しない場合の、接続点 8 から先端部 7 側を見た、所定の周波数におけるインピーダンスの値である、プリント配線基板の製造方法も本実施の形態の範疇である。

## 【 0 0 4 7 】

## (実施例 1)

図 1 3 に、導電部材 9 をオープンスタブとして使用した場合と使用しない場合の比較を示す。図 1 3 (a) は、導電部材 9 を使用しない、図 1 5 に示す従来例のプリント配線基板における、表層配線 2 から内層配線 4 に伝達される信号電力の減衰量の周波数特性を示す。所望の周波数の 5 G H z および 1 8 G H z における減衰量は、それぞれ 5 . 5 d B、9 8 d B であった。一方、図 1 3 (b) は、図 1 に示す、導電部材 9 を使用した場合の減衰量の周波数特性を示す。所望の周波数 5 G H z および 1 8 G H z における減衰量は、3 . 2 d B、1 8 d B となり、減衰が改善した。

## 【 0 0 4 8 】

## (実施の形態 2)

図 1 0 に本発明の実施の形態 2 のプリント配線基板の内部斜視図を示す。

## 【 0 0 4 9 】

最初に実施の形態 2 に記載のプリント配線基板の構成について説明する。実施の形態 1 と同様の構成部分には、同一の参照符号を付しその説明を省略する。実施の形態 2 のプリント配線基板においては、ビアホール 3 の導電部の先端部 7 に本発明の抵抗の一例であるチップ抵抗 2 3 の一端が接続され、チップ抵抗 2 3 の他端には、多層基板 1 の裏面に形成された本発明のランドの一例であるランドパターン 2 2 が接続されている。また、内層配線 4 とビアホール 3 との接続点 8 にも、ランド状の本発明の内層パターン 2 1 の一例である内層パターン 2 1 が形成されている。内層パターン 2 1 は、多層基板 1 にビアホール 3 を形成するとき必然

的に形成されるランドを大きくしたものである。パターン 2 2 は、パターン 2 1 とほぼ同じ大きさであり、パターン 2 1 に対向して形成される。

#### 【 0 0 5 0 】

図 1 0 に示すように、ビアホール 3 の第 2 部分 5 の上端および下端に、内層パターン 2 1 およびランドパターン 2 2 を配置することは、電極として内層パターン 2 1、ランドパターン 2 2、誘電体として、内層パターン 2 1 とランドパターン 2 2 の間に挟まれた多層基板 1 の一部により、本発明のコンデンサの一例であるコンデンサ 2 4 が形成される。このように、チップ抵抗 2 3 とコンデンサ 2 4 との直列回路がビアホール 3 の第 2 部分 5 に並列に接続されることにより、ビアホール 3 の第 2 部分 5 が形成する寄生の共振回路の Q 値を低下させることができる。図 1 1 は、上記のように構成された、本実施の形態のプリント配線基板の等価回路を示す。

#### 【 0 0 5 1 】

図 1 2 ( a ) は、図 1 0 に示すプリント配線基板を裏面から見た平面図を示す。図 1 0、図 1 2 ( a ) においては、ランドパターン 2 2 は円環形状で示されているが、ランドパターン 2 2 は例えば図 1 2 ( b ) に示すように扇型であってもよい。また、四角形など他のどのような形状であってもよい。その場合は、例えば、ランドパターン 2 2 が扇型形状であった場合は、内層配線 4 と接続される内層パターン 2 1 も扇型形状とされる。そして裏面のランドパターン 2 2 の扇型と内層の内層パターン 2 1 の扇型は、互いに対向するように多層基板 1 の一部を挿んで配置される。

#### 【 0 0 5 2 】

以上のように本実施の形態のプリント配線基板によれば、ビアホール 3 の第 2 部分 5 により形成される寄生の共振回路の Q 値を下げることができ、信号の伝達損失を低減化することができる。

#### 【 0 0 5 3 】

また、以上までの説明において、多層基板 1 内に存在する 1 つの内層配線 4 がビアホール 3 に接続されている、としてきたが、内層配線 4 が多数存在し、それぞれがビアホール 3 に接続される場合は、内層配線 4 とビアホール 3 の導電部と

の接続点のうち、先端部 7 に最も近い接続点を接続点 8 とすればよく、その場合も上記と同様の効果を得ることができる。

#### 【 0 0 5 4 】

また、以上の説明において、コンデンサ 2 4 は、内層パターン 2 1、ランドパターン 2 2、内層パターン 2 1 およびランドパターン 2 2 の間に挿まれた多層基板 1 の一部により形成される、としてきたが、内層配線 4 と接続点 8 とを接続するための内層パターン 2 1 が特に形成されず、内層配線 4 を形成する配線パターン自体と、ランドパターン 2 1 と、それらの間に挿まれる多層基板 1 の一部によりコンデンサ 2 4 が形成される構成であってもよい。

#### 【 0 0 5 5 】

また、図 8 に示すビルドアップ基板は、実施の形態 1 のプリント配線基板を利用した例で説明したが、実施の形態 2 のプリント配線基板の表面または裏面に少なくとも 1 層の樹脂層で形成された基板 1 7 が形成されビルドアップ基板が構成される場合も考えられる。

#### 【 0 0 5 6 】

また、多層基板 1 を貫通し、表層配線 2 がその導電部の先端部 6 に接続されるビアホール 3 の、先端部 6 とは反対側の、表層配線 2 が接続されていない先端部 7 と、ビアホール 3 の導電部のうち先端部 6 および先端部 7 以外の部分に接続され多層基板 1 の内部に形成された少なくとも 1 つの内層配線 4 とビアホール 3 の導電部との接続点のうち、先端部 7 に最も近い接続点 8 と、の間に並列に、抵抗 2 3 とコンデンサ 2 4 の直列回路を接続する、プリント配線基板の製造方法も本実施の形態の範疇に属する。

#### 【 0 0 5 7 】

##### (実施例 2)

図 1 4 に、C - R 直列回路を使用した場合と使用しない場合の比較例を示す。図 1 4 ( a ) は、図 1 5 に示す従来例におけるプリント配線基板の、表層配線 2 から内層配線 4 への伝達信号電力の減衰量の周波数特性を示す。所望の周波数の 1 8 G H z における減衰量は、9 8 d B であった。図 1 4 ( b ) は、チップ抵抗 2 3 とコンデンサ 2 4 との直列回路を接続点 8 と先端部 7 との間に並列に接続し

た場合の、表層配線 2 から内層配線 4 に伝達される信号電力の減衰量の周波数特性を示す。所望の周波数 1 8 G H z における減衰量は、2 3 d B となり、減衰が大幅に改善した。

## 【0 0 5 8】

なお、以上までの説明では、本発明のプリント配線基板は、表面側および裏面側の区別をしてきたが、表面側および裏面側の区別は説明の便宜上のものであり、本発明のプリント配線基板において、表面側および裏面側は互いに反対であってもよい。

## 【0 0 5 9】

また、以上の説明の中で示す多層基板 1 は、3 層であるとして図示してきているが、3 層に限らず何層であってもよいのは言うまでもない。

## 【0 0 6 0】

また、多層基板 1 は、ガラスエポキシ基板であるとして説明してきたが、ガラスエポキシ基板に限らず他の材料で構成されていてもよい。例えば多層基板 1 は、セラミック基板であってもよく、その場合は、ビアホール 3 の導電部のうち、第 1 部分のみを形成することよりも、第 2 部分 5 も含めて形成し、導電部材 9 をビアホールの先端部 7 に接続する方が簡単にプリント配線基板を製造することができる。

## 【0 0 6 1】

また、以上の実施の形態 1 または 2 に記載のプリント配線基板と、プリント配線基板の表面または内部に設置された電子部品と、を備えた電子機器も本発明の範囲に含まれる。

## 【0 0 6 2】

## 【発明の効果】

本発明によれば、所望の周波数において、その伝送損失を抑制することができるプリント配線基板、ビルドアップ基板、プリント配線基板の製造方法を提供することができる。

## 【図面の簡単な説明】

## 【図 1】

図 1 ( a ) は、本発明の実施の形態 1 のプリント配線基板の断面図である。

図 1 ( b ) は、本発明の実施の形態 1 のプリント配線基板の裏面平面図である。

図 1 ( c ) は、本発明の実施の形態 1 のプリント配線基板の裏面平面図である。

#### 【図 2】

図 2 ( a ) は、本発明の実施の形態 1 のプリント配線基板のオープンスタブタイプの電圧特性を示す図である。

図 2 ( b ) は、本発明の実施の形態 1 のプリント配線基板のオープンスタブタイプの位置を説明する図である。

図 2 ( c ) は、本発明の実施の形態 1 のプリント配線基板のオープンスタブタイプのインピーダンス特性を示す図である。

#### 【図 3】

図 3 は、本発明の実施の形態のプリント配線基板の等価回路を示す回路接続図である。

#### 【図 4】

図 4 ( a ) は、本発明の実施の形態 1 のプリント配線基板のショートスタブタイプの電圧特性を示す図である。

図 2 ( b ) は、本発明の実施の形態 1 のプリント配線基板のショートスタブタイプの位置を説明する図である。

図 2 ( c ) は、本発明の実施の形態 1 のプリント配線基板のショートスタブタイプのインピーダンス特性を示す図である。

#### 【図 5】

図 5 ( a ) は、本発明の実施の形態 1 のプリント配線基板の変形例を示す断面図である。

図 5 ( b ) は、本発明の実施の形態 1 のプリント配線基板の変形例を示す裏面平面図である。

#### 【図 6】

図 6 は、本発明の実施の形態 1 のプリント配線基板の変形例を示す裏面平面図

である。

【図 7】

図 7 (a) は、本発明の実施の形態 1 のプリント配線基板の変形例を示す断面図である。

図 7 (b) は、本発明の実施の形態 1 のプリント配線基板の変形例を示す断面図である。

【図 8】

図 8 は、本発明の実施の形態 1 のプリント配線基板の変形例として形成されたビルドアップ基板の断面図である。

【図 9】

図 9 (a) は、本発明の実施の形態 1 のプリント配線基板の変形例として、ショートスタブタイプを利用した場合の、差動信号を使用した場合のプリント配線基板の内部斜視図である。

図 9 (b) は、本発明の実施の形態 1 のプリント配線基板の変形例として、ショートスタブタイプを利用した場合の、差動信号を使用した場合のプリント配線基板の裏面平面図である。

【図 1 0】

図 1 0 は、本発明の実施の形態 2 のプリント配線基板の内部斜視図である。

【図 1 1】

図 1 1 は、本発明の実施の形態 2 のプリント配線基板の等価回路を示す回路接続図である。

【図 1 2】

図 1 2 (a) は、本発明の実施の形態 2 のプリント配線基板の裏面平面図である。

図 1 2 (b) は、本発明の実施の形態 2 のプリント配線基板の変形例の裏面平面図である。

【図 1 3】

図 1 3 (a) は、従来技術のプリント配線基板の減衰量の周波数特性を示す図である。



図 1 3 ( b ) は、本発明の実施の形態 1 のプリント配線基板の減衰量の周波数特性を示す図である。

【図 1 4】

図 1 4 ( a ) は、従来技術のプリント配線基板の減衰量の周波数特性を示す図である。

図 1 4 ( b ) は、本発明の実施の形態 2 のプリント配線基板の減衰量の周波数特性を示す図である。

【図 1 5】

図 1 5 は、従来技術のプリント配線基板の断面図である。

【図 1 6】

図 1 6 は、従来技術のプリント配線基板の特性を示す図である。

【図 1 7】

図 1 7 は、従来技術のプリント配線基板の等価回路を示す回路接続図である。

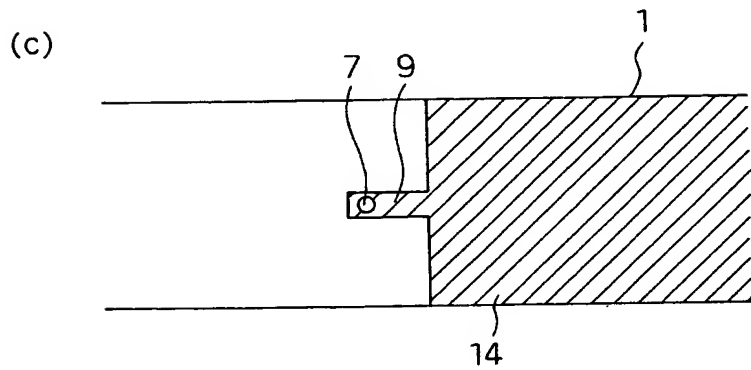
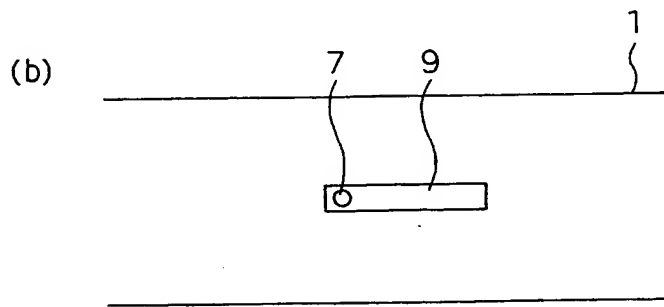
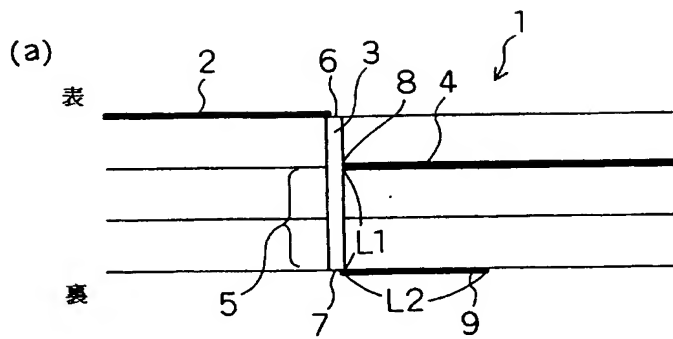
【符号の説明】

- 1 多層基板
- 2 表層配線
- 3、1 8 ビアホール
- 4、1 9 内層配線
- 5 第 2 部分
- 6、7、先端部
- 8、1 6 接続点
- 9 導電部材
- 1 4 グラウンド電極
- 1 5 チップインダクタ
- 1 7 基板
- 2 0 接続部
- 2 1 内層パターン
- 2 2 ランドパターン
- 2 3 チップ抵抗

2 4     コンデンサ

【書類名】 図面

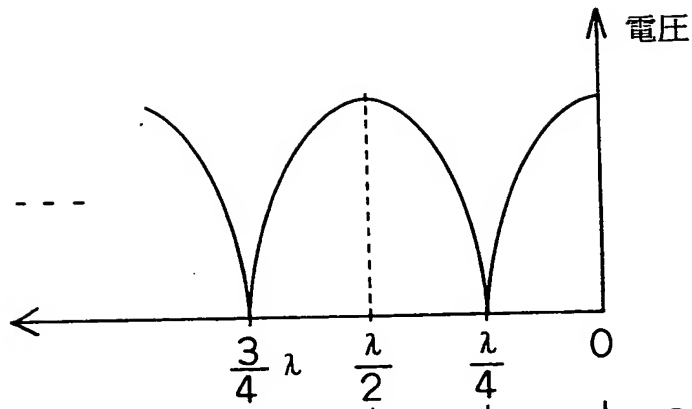
【図 1】



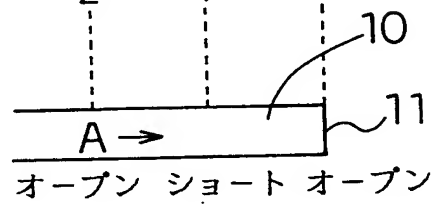
- 1 多層基板
- 2 表層配線
- 3 ビアホール
- 4 内層配線
- 5 第2部分
- 6、7 先端部
- 8 接続点
- 9 導電部材
- 14 グラウンド電極

【図 2】

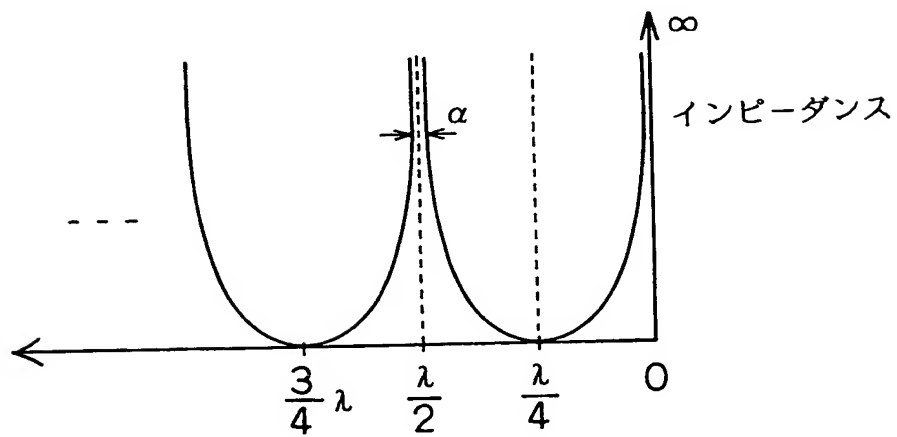
(a)



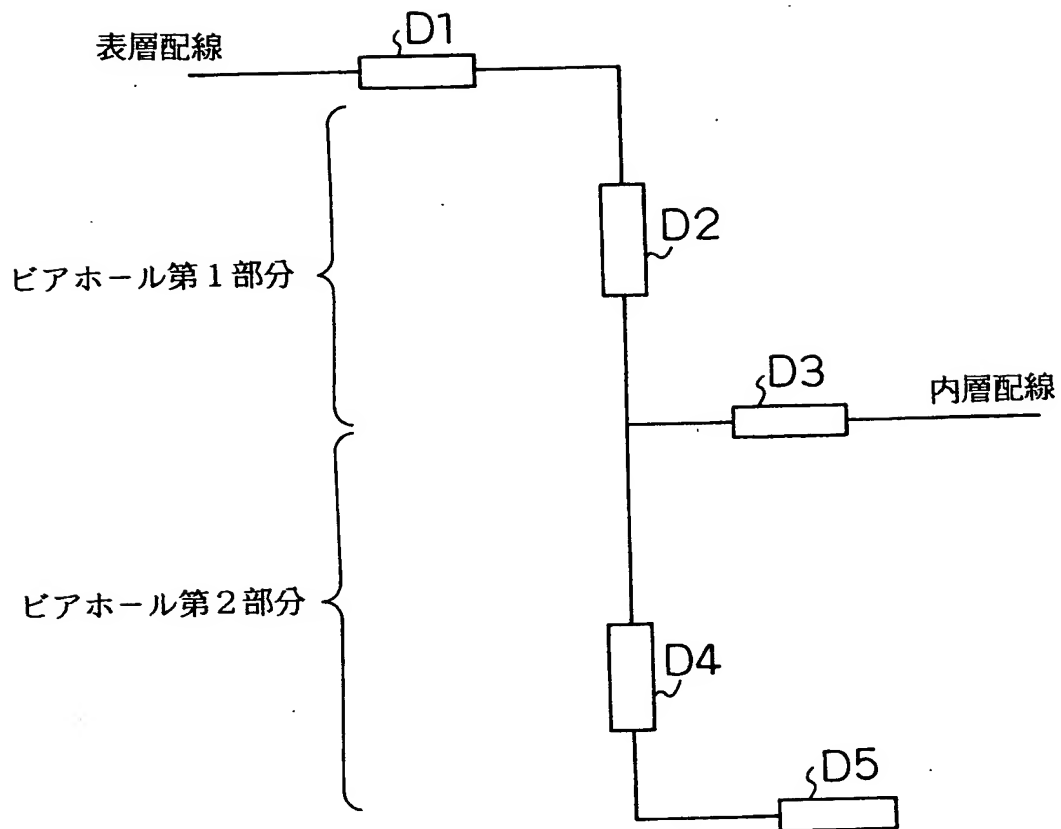
(b)



(c)

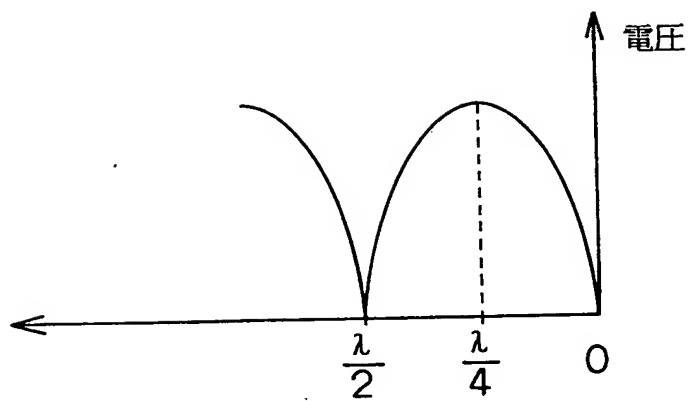


【図 3】

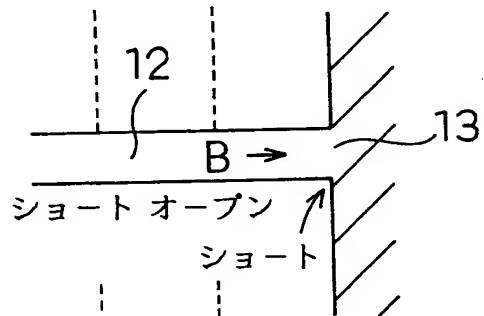


【図 4】

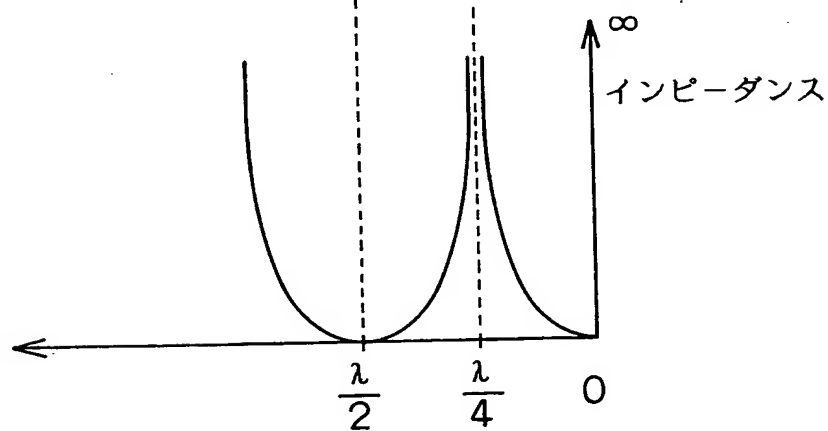
(a)



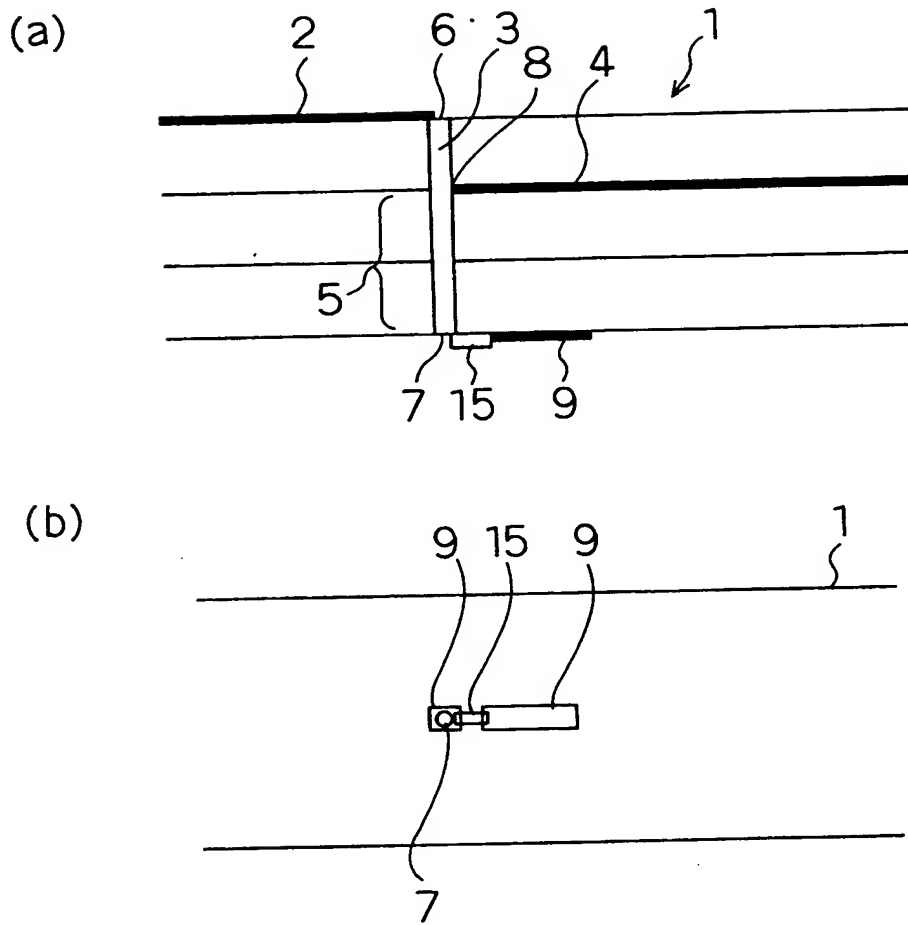
(b)



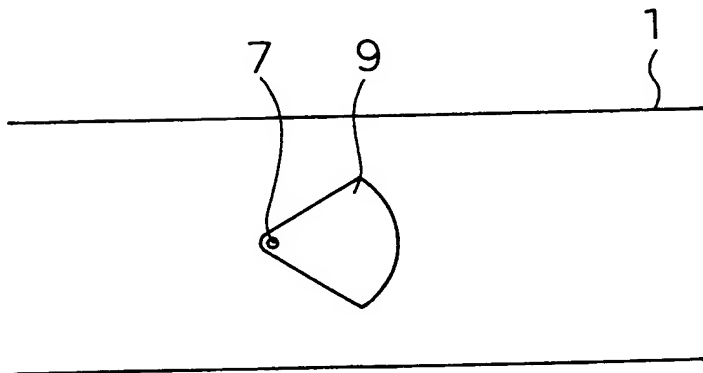
(c)



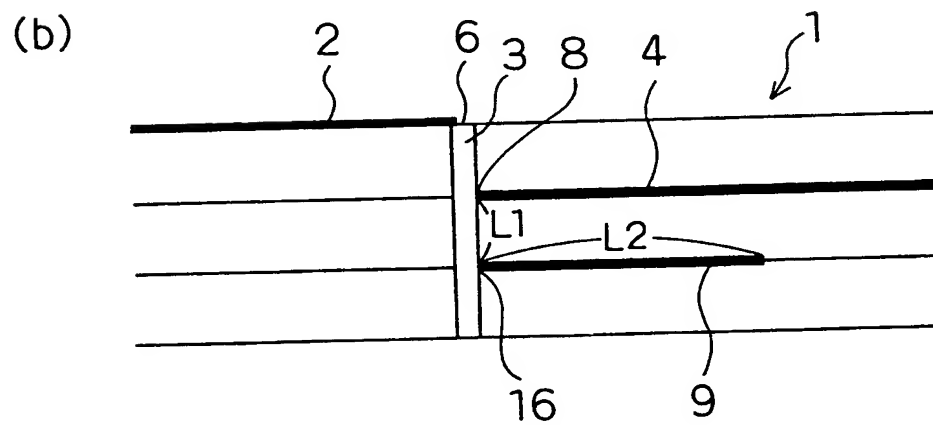
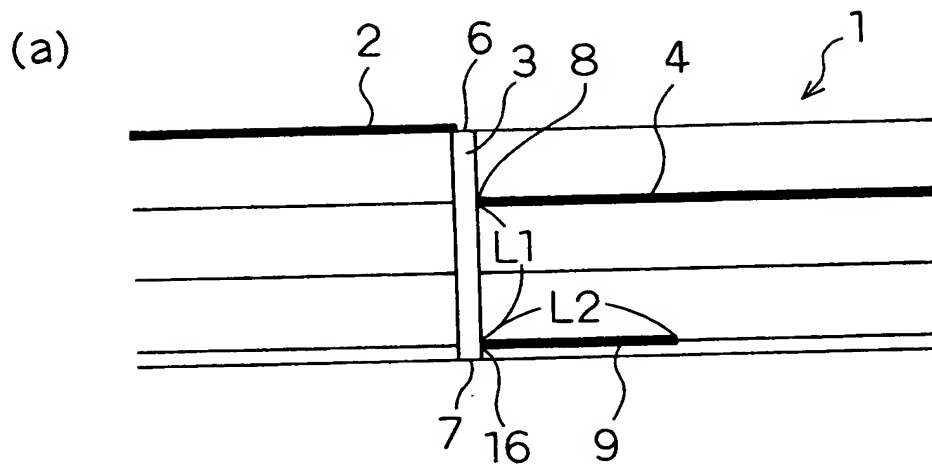
【図 5】



【図 6】

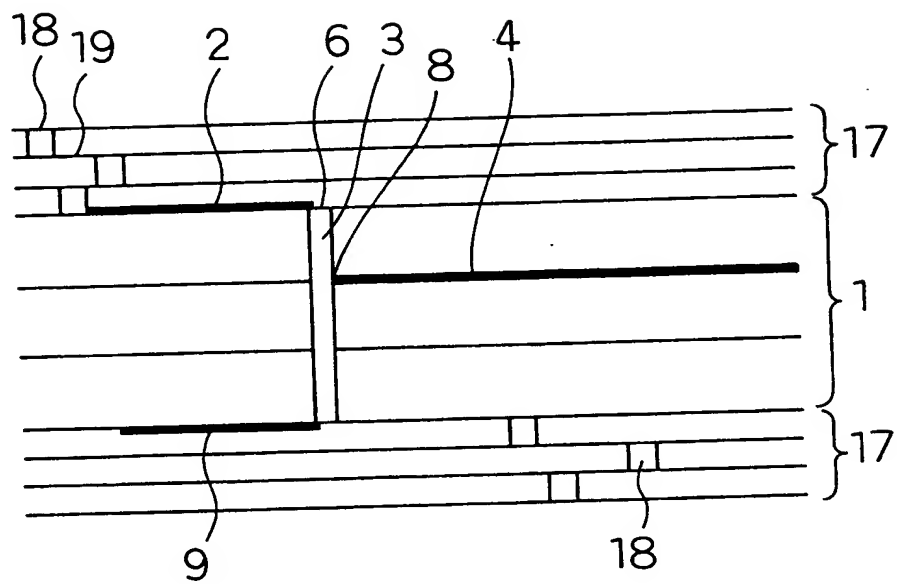


【図 7】



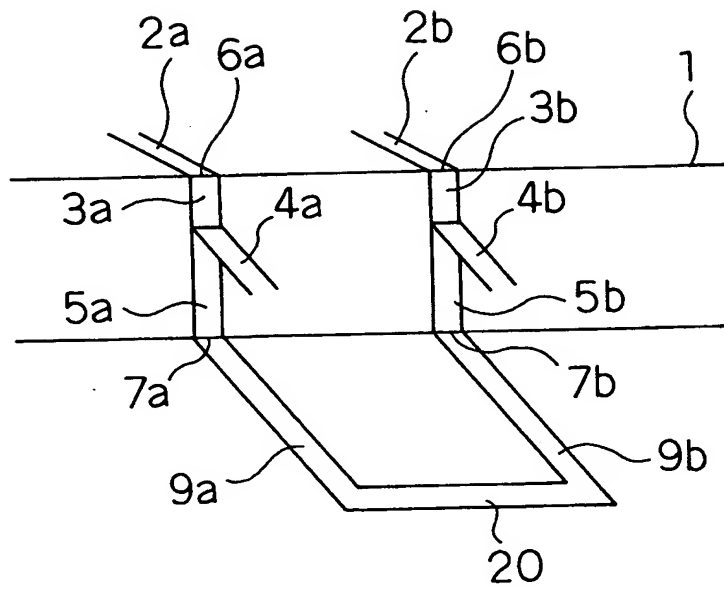


【図 8】

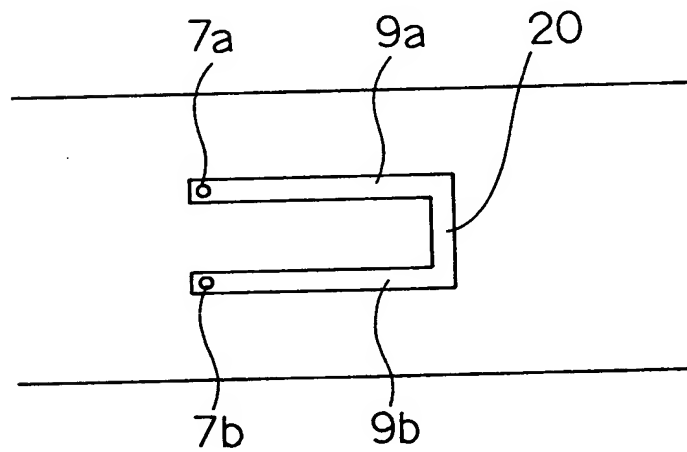


【図 9】

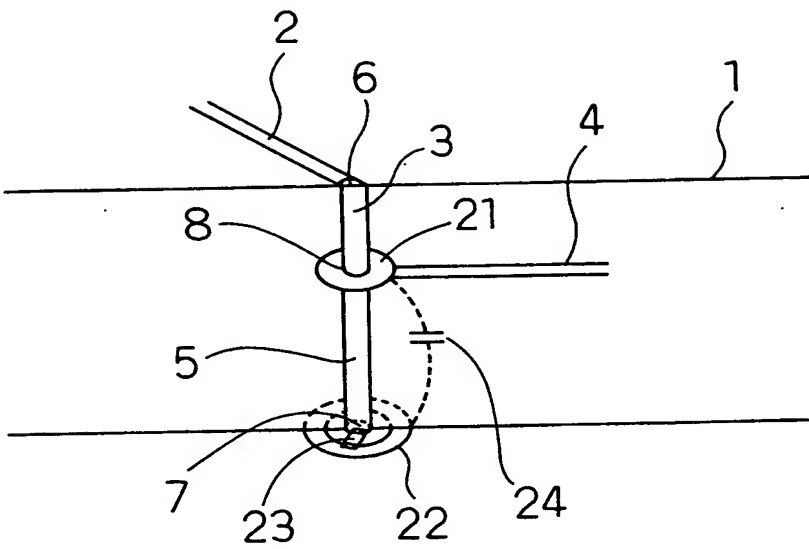
(a)



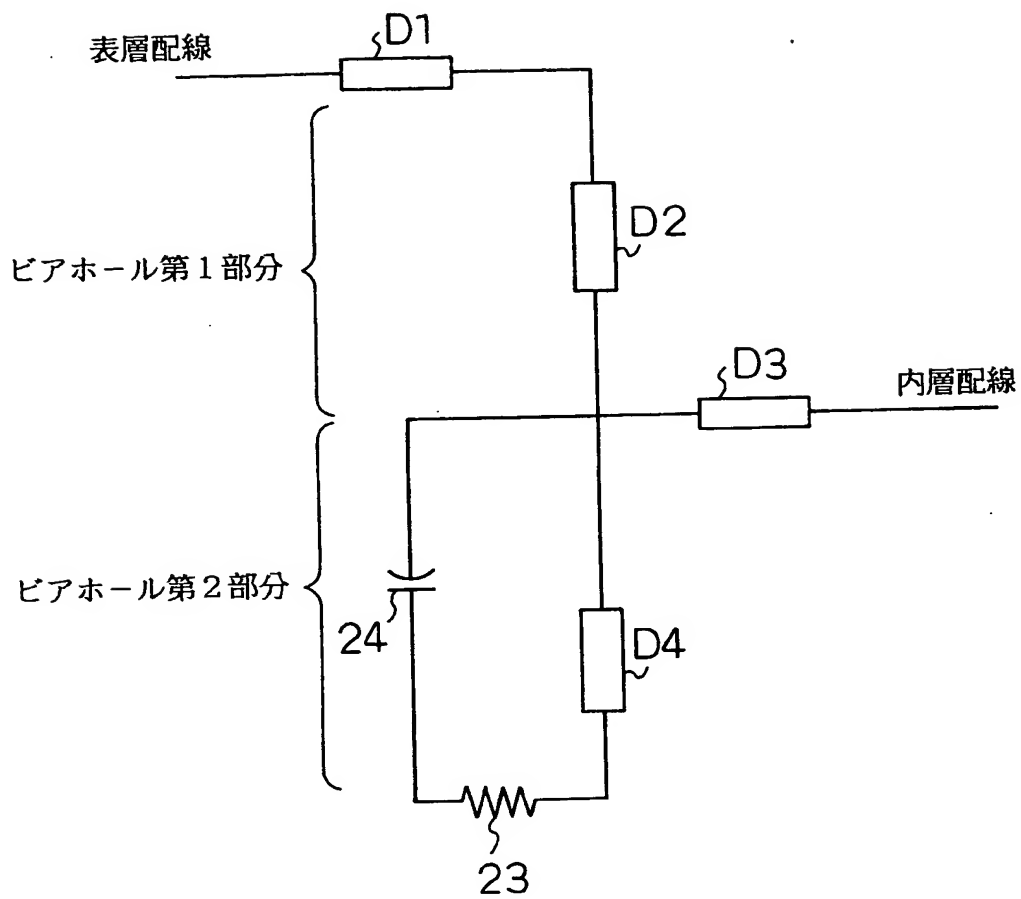
(b)



【図 1 0】

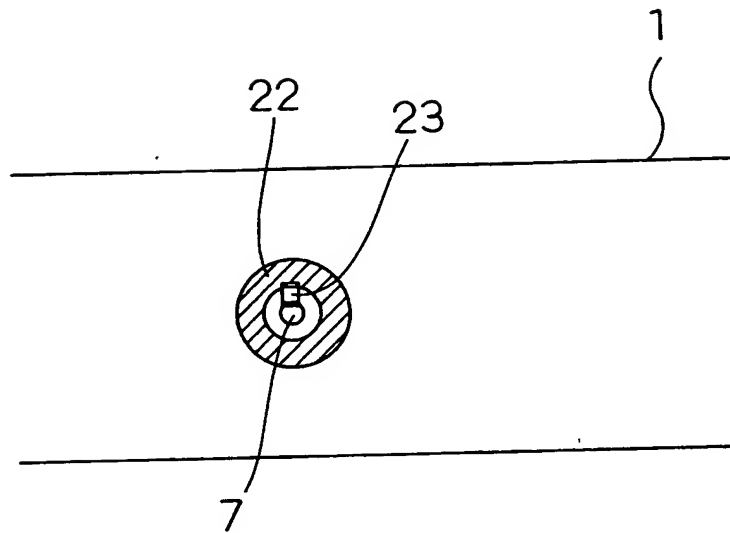


【図 1 1】

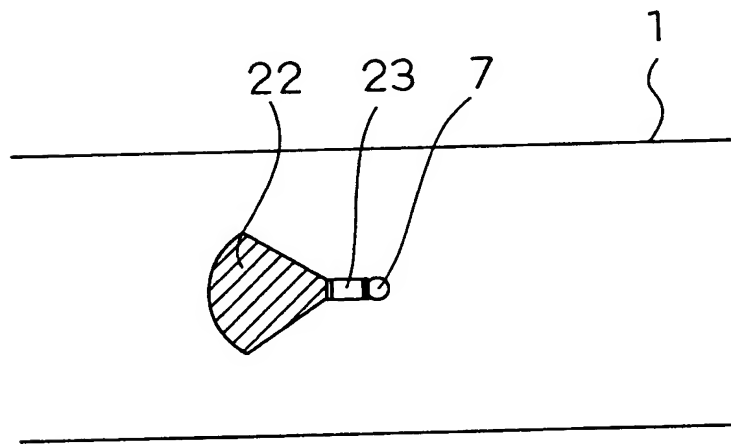


【図 1 2】

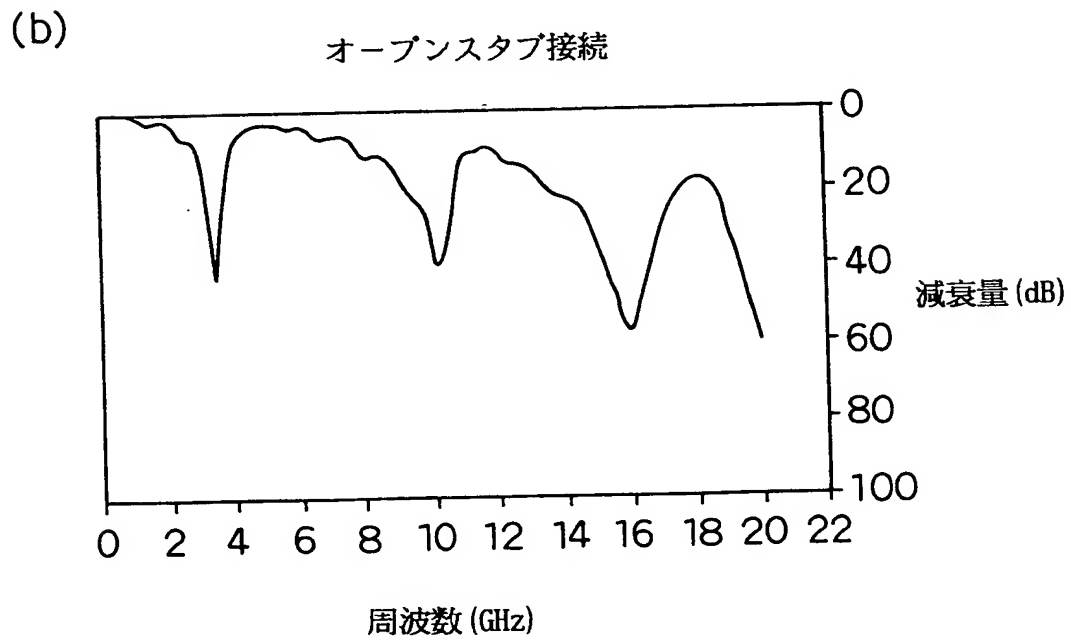
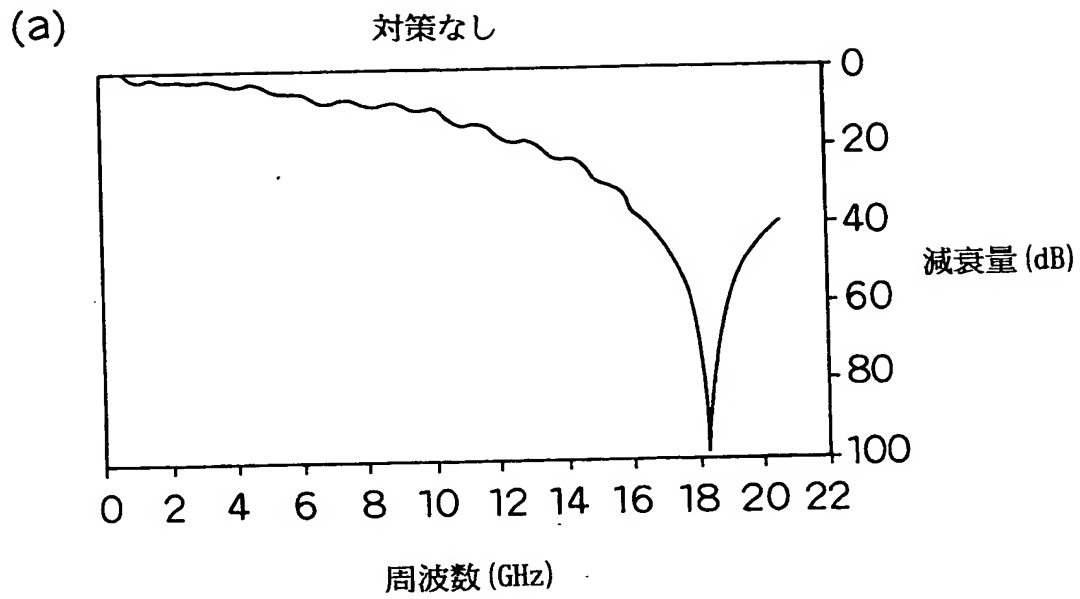
(a)



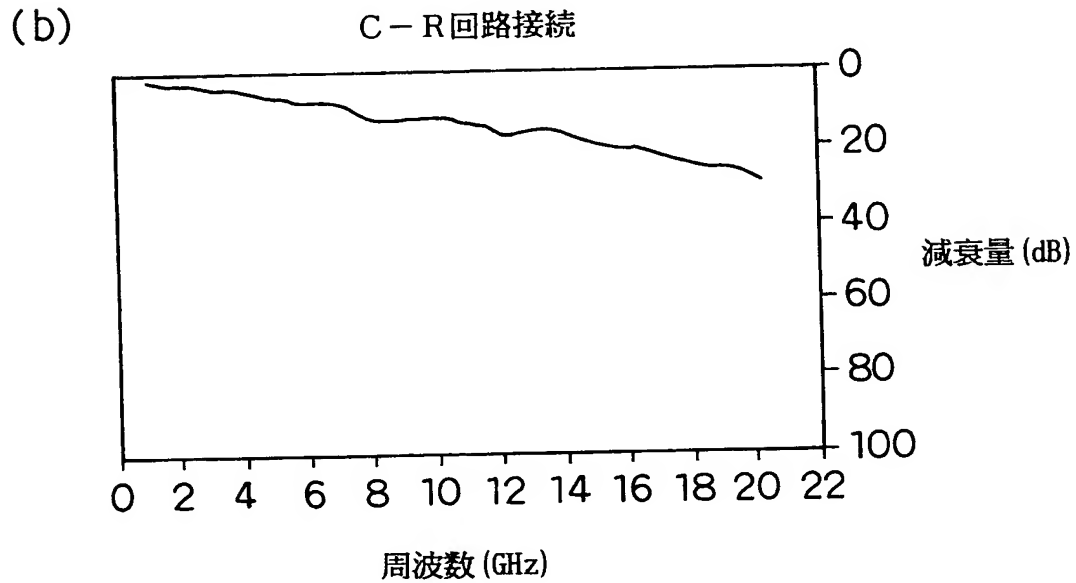
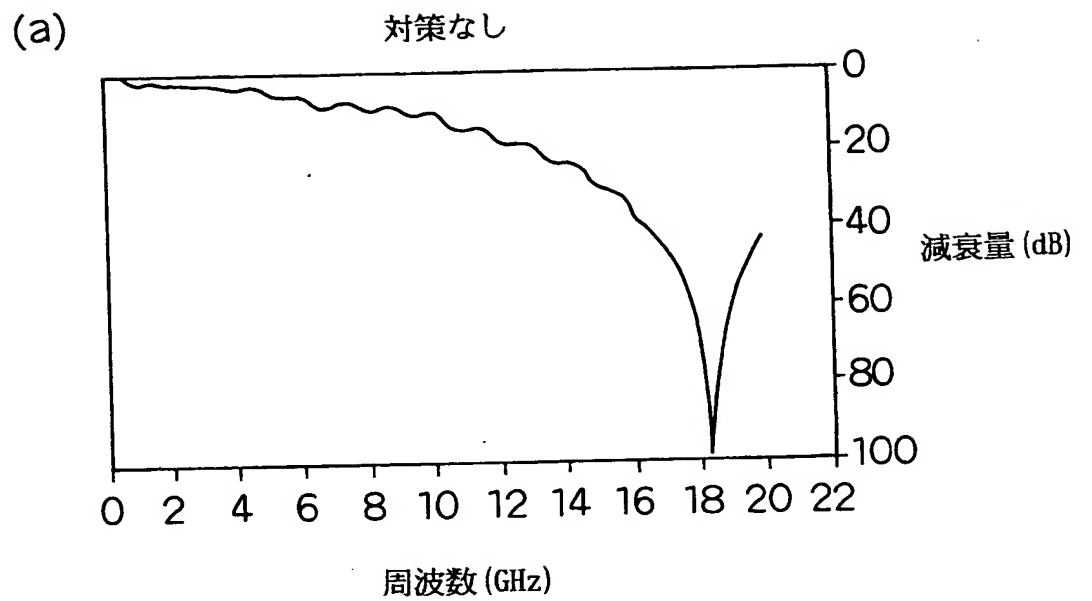
(b)



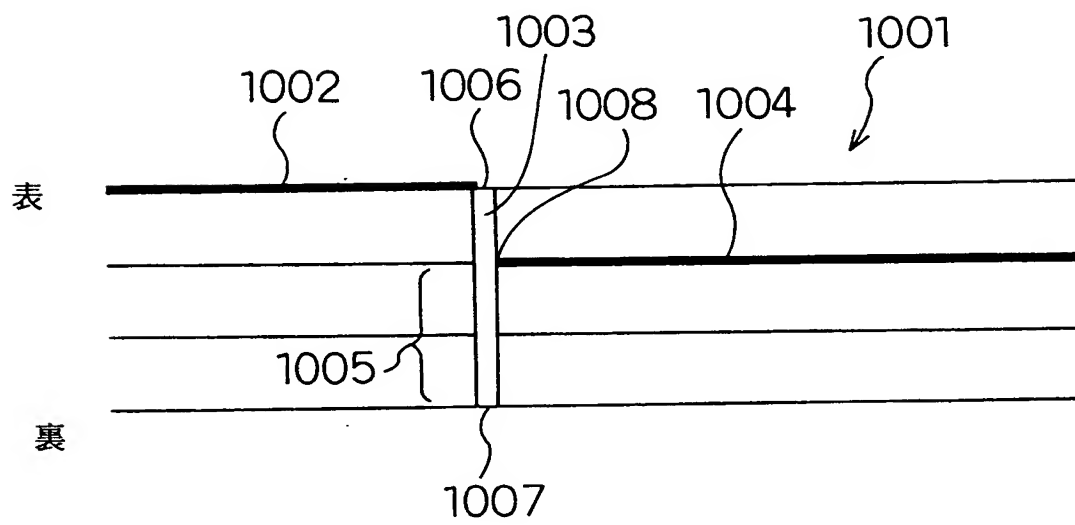
【図 1 3】



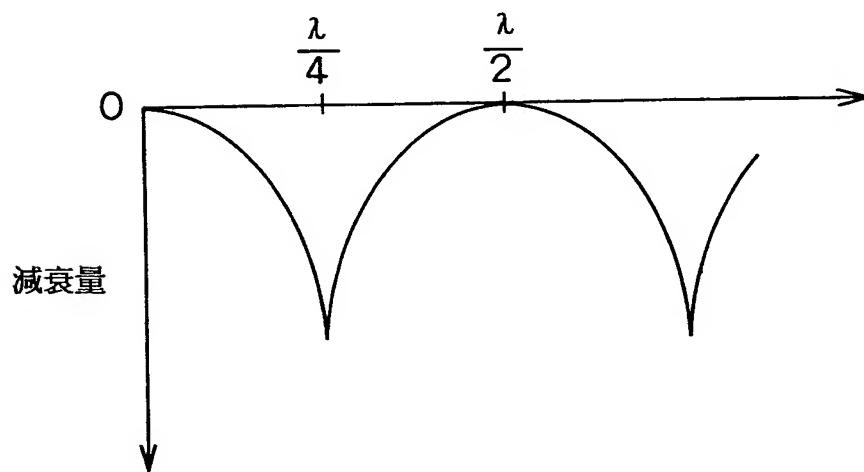
【図 1 4】



【図 1 5】

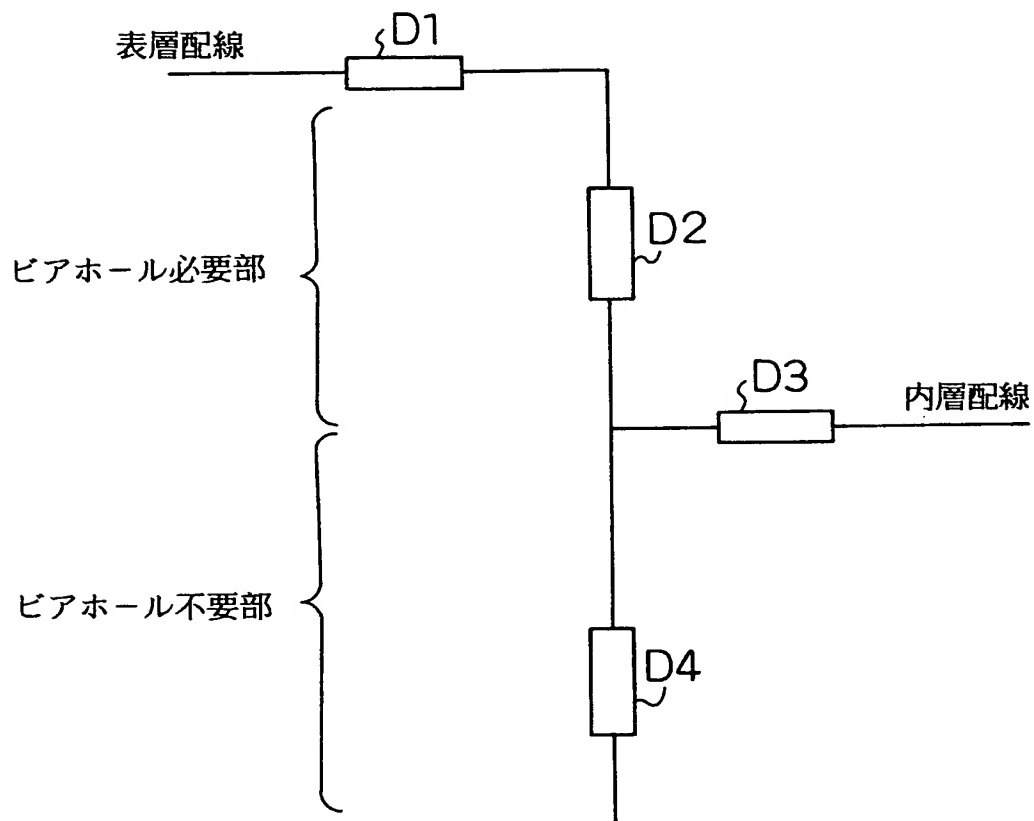


【図 1 6】





【図 1 7】



【書類名】 要約書

【要約】

【課題】 所望の周波数において、その伝送損失を抑制することができるプリント配線基板、ビルドアップ基板、プリント配線基板の製造方法を提供すること。

【解決手段】 多層基板 1 と、多層基板 1 を貫通するビアホール 3 と、多層基板 1 の表層に配線され、ビアホール 3 の一方の先端部 6 に接続された表層配線 2 と、多層基板 1 の内部に形成され、ビアホール 3 の導電部のうち、上下の先端部以外の部分に接続された少なくとも 1 つの内層配線 4 と、先端部 6 の反対側の、表層配線 4 が接続されていない先端部 7 に接続された導電部材 9 と、を備え、導電部材 9 は、先端部 7 に最も近い、内層配線 4 とビアホール 3 の導電部との接続点 8 から導電部材 9 側を見た、所定の周波数におけるインピーダンスの値が、導電部材 9 が存在しない場合の、接続点 8 から先端部 7 側を見た、インピーダンスの値より大きくなるような電気長を有する、プリント配線基板。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[ 変更理由 ] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社